

OUTPUT BUFFER CIRCUIT

Patent Number: JP6132797
Publication date: 1994-05-13
Inventor(s): EBATO KOJI; others: 01
Applicant(s): TOSHIBA CORP; others: 01
Requested Patent: ☐ JP6132797
Application Number: JP19920281885 19921020
Priority Number(s):
IPC Classification: H03K5/135
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce a power source noise at the time of switching and to prevent a through current at the time of switching by causing an inverter of a preceding stage which drives the inside of the buffer of a last stage, to execute constant current operation.

CONSTITUTION: The inverter 21-1 of the preceding stage, which controls the gate of PMOSFET 19 of the last stage is composed of PMOSFET 31 and NMOSFET 32 which are provided with an input signal IN and NMOSFET 33 between whose drain/source a drain with a source are connected. The gate of NMOSFET 33 is connected to that of NMOSFET 16 in order to mirror a constant current from a constant current generation circuit 10. PMOSFET 31 is provided with large driving capability and in comparison with it, MOSFET 32 is provided with small driving capability. The inverter 21-2 of the preceding stage of NMOSFET 20 is also composed of PMOSFET 41, NMOSFET 42 and PMOSFET 43 and the gate of MOSFET 43 is connected to the output terminal of an operational amplifier 12 in order to execute constant current mirror. Besides, NMOSFET 42 is provided with large driving capability and in comparison with it, P-channel MOSFET 41 is provided with smaller driving capability.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-132797

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁵

H03K 5/135

識別記号

庁内整理番号

4239-5J

FI

技術表示箇所

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平4-281885

(22)出願日 平成4年(1992)10月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 江波戸 康志

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72)発明者 松木 宏司

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

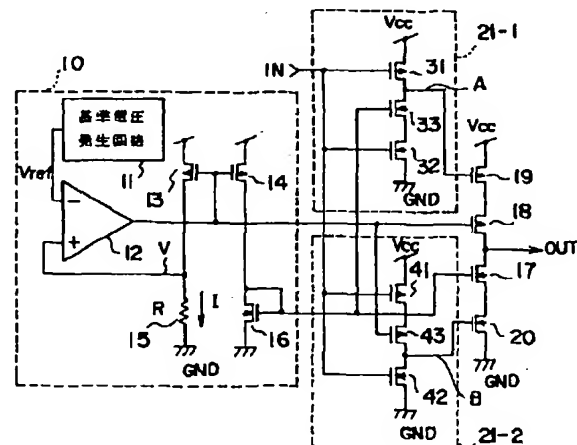
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 出力バッファ回路

(57)【要約】

【目的】最終段バッファ内を駆動する前段のインバータを定電流動作させスイッチング時の電源ノイズを減らすと共にスイッチング時の貫通電流を防止する。

【構成】最終段のP MOS FET 19のゲートを制御する前段のインバータ21-1は入力信号INが供給されるP MOS FET 31, N MOS FET 32, そのドレイン, ソース間にドレイン, ソース間が接続されるN MOS FET 33からなる。N MOS FET 33は定電流発生回路10からの定電流をミラーさせるべく、そのゲートがN MOS FET 16のゲート10に接続される。P MOS FET 31は駆動能力が大きく、それに比べてN MOS FET 32は駆動能力が小さい。N MOS FET 20の前段のインバータ21-2もP MOS FET 41、N MOS FET 42, P MOS FET 43からなり、MOS FET 43は定電流ミラーさせるべく、ゲートがオペアンプ12の出力端に接続される。また、N MOS FET 42は駆動能力が大きく、それに比べてPチャンネルMOS FET 41は駆動能力が小さい。



1

【特許請求の範囲】

【請求項1】 定電流を発生させる定電流発生手段と、出力の最終段に設けられたスイッチングするための電流駆動用トランジスタと、

前記出力の最終段に設けられ出力端に接続される前記定電流発生手段による定電流をミラーさせる定電流用のトランジスタと、

前記出力の最終段の前段に設けられ、前記電流駆動用トランジスタの導通制御を定電流で制御する制御手段とを具備し、

最終段のスイッチング時の電源ノイズを減らすと共にスイッチング時の貫通電流を防止することを特徴とする出力バッファ回路。

【請求項2】 前記定電流用のトランジスタ、電流駆動用トランジスタはそれぞれ第1導電型、第2導電型で直列接続した構成であり、前記制御手段は前記電流駆動用トランジスタについてそれぞれ設けられたインバータ構成で、このインバータを構成するトランジスタの駆動能力を異ならせていること、かつ異ならせた駆動能力のトランジスタ間に前記定電流用のトランジスタと同じ動作20をする第2定電流用のトランジスタがそれぞれ挿入されていることを特徴とする請求項1記載の出力バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は特にCMOS集積回路による出力バッファ回路に関する。

【0002】

【従来の技術】 図3は従来の定電流出力バッファ回路の構成を示す回路図である。オペアンプ12は基準電圧発生30回路11からの基準電圧Vrefをその反転入力端子に取り込む。オペアンプ12の出力はPチャネルMOS FET 13、14の共通ゲートに供給される。このMOS FET 13、14の両ソースは電源電圧Vccに接続されている。

【0003】 上記MOS FET 13のドレインと抵抗15の一端は接続されており、この接続点から得られる電位はオペアンプ12の非反転入力端子に入力される。抵抗15の他端は接地されている。上記MOS FET 14のドレインはNチャネルMOS FET 16のドレインに接続されている。このMOS FET 16のソースは接地され、ゲートはドレインに短絡さ40れる。

【0004】 上記MOS FET 16のゲートは定電流用のNチャネルMOS FET 17のゲートに接続されている。また、上記オペアンプ12の出力は定電流用のPチャネルMOS FET 18のゲートに接続されている。すなわち、オペアンプ12、抵抗15、MOS FET 13、14、16による定電流発生回路10からの定電流をそれぞれ最終段バッファ中のMOS FET 17、18で電流ミラーさせるようにしている。

【0005】 MOS FET 18のソースは電流駆動用のPチャネルMOS FET 19のソース、ドレイン間を介して電源電圧50

2

Vccに接続される。MOS FET 17のドレインは電流駆動用のNチャネルMOS FET 20のドレイン、ソース間を介して接地電圧GNDに接続される。また、MOS FET 20と19のゲートにはインバータ21を介して入力信号INが供給され、MOS FET 17、18の共通接続ノードより出力OUTが得られる。

【0006】 上記構成では入力信号INが直接最終段バッファ中のMOS FET 19、20のゲートに供給される構成であるので、スイッチング時に最終段バッファに貫通電流が流れる問題がある。かつこのスイッチング時、MOS FET 17、18は定電流を通すための導通状態を維持しているだけでありスイッチング時の電源ノイズを調整できない欠点がある。

【0007】

【発明が解決しようとする課題】 このように従来では、スイッチング時に最終段バッファに貫通電流が流れ、かつスイッチング時の電源ノイズを調整できないという欠点がある。

【0008】 この発明は上記のような事情を考慮してなされたものであり、その目的は、スイッチング時において最終段バッファに流れる貫通電流を防止し、かつスイッチング時の電源ノイズを減らすことが可能な出力バッファを提供することにある。

【0009】

【課題を解決するための手段】 この発明の出力バッファ回路は、定電流を発生させる定電流発生手段と、出力の最終段に設けられたスイッチングするための電流駆動用トランジスタと、前記出力の最終段に設けられ出力端に接続される前記定電流発生手段による定電流をミラーさせる定電流用のトランジスタと、前記出力の最終段の前段に設けられ、前記電流駆動用トランジスタの導通制御を定電流で制御する制御手段とを具備し、最終段のスイッチング時の電源ノイズを減らすと共にスイッチング時の貫通電流を防止することを特徴とする

【0010】

【作用】 この発明では最終段バッファ内を駆動する前段のゲート（インバータ）を定電流動作させてスイッチング時の電源ノイズを減らすと共に、スイッチング時の貫通電流を防止する。

【0011】

【実施例】 以下、図面を参照してこの発明を実施例により説明する。

【0012】 図1はこの発明の一実施例による構成を示す回路図である。出力バッファ最終段のトランジスタをPチャネル、Nチャネル各2個ずつの直列タイプにしたものである。前記図3と同様の箇所には同一の符号を付している。

【0013】 この実施例では、最終段バッファの前段のインバータ（図3の21）の部分構成するPチャネル、NチャネルMOS FETの駆動能力を異ならせ、MOS FET 1

3

9, 20のそれぞれの導通制御に対しアンバランスにしている。

【0014】すなわち、最終段のPチャネルMOS FET 19の前段のインバータ21-1は入力信号INが供給されるPチャネルMOS FET 31、NチャネルMOS FET 32、そのドレイン、ソース間にドレイン、ソース間が接続されるNチャネルMOS FET 33からなる。

【0015】上記NチャネルMOS FET 33は、定電流発生回路10からの定電流をミラーさせるべく、そのゲートがNチャネルMOS FET 16のゲートに接続されている。また、PチャネルMOS FET 31は駆動能力が大きく、それに比べてNチャネルMOS FET 32は駆動能力が小さくなっている。MOS FET 31と33の共通接続にMOS FET 19のゲートが接続されている。

【0016】また、最終段のNチャネルMOS FET 20の前段のインバータ21-2は入力信号INが供給されるPチャネルMOS FET 41、NチャネルMOS FET 42、そのドレイン、ソース間にドレイン、ソース間が接続されるPチャネルMOS FET 43からなる。

【0017】上記PチャネルMOS FET 43は、定電流発生回路10からの定電流をミラーさせるべく、そのゲートがオペアンプ12の出力端に接続されている。また、NチャネルMOS FET 42は駆動能力が大きく、それに比べてPチャネルMOS FET 41は駆動能力が小さくなっている。MOS FET 43と42の共通接続にMOS FET 20のゲートが接続されている。

【0018】図2の波形図を参照して上記実施例回路の動作を説明する。最終段バッファの前段のインバータを構成するPチャネル、NチャネルMOS FETの駆動能力をアンバランスにしたことで、A、Bの波形が入力される30

4

ように設計される。すると、最終段のMOS FET 19, 20がスイッチングする際、時間T_{off}では両MOS FET 19, 20がオフ状態であるためV_{cc}からGNDへの貫通電流が流れない。

【0019】また、この前段のインバータ21-1, 21-2にも定電流用のMOS FET 33, 43がそれぞれ取り入れられているため、スイッチング時の電源ノイズが抑えられ、かつ、製造バラツキ、動作条件の変動があっても一定のスイッチング時間を確保できる。このような構成によれば、スイッチング時において最終段バッファに流れる貫通電流を防止し、かつ電源ノイズ、EMI (electromagnetic interference) 等を減らすことが可能になる。

【0020】

【発明の効果】以上説明したようにこの発明によれば、最終段バッファ内を駆動する前段のインバータを定電流動作させてスイッチング時の電源ノイズを減らすと共に、スイッチング時の貫通電流を防止する回路であるため、低消費電力で、安定した回路動作ができる出力バッファ回路が提供できる。

【図面の簡単な説明】

【図1】この発明の一実施例による構成を示す回路図。

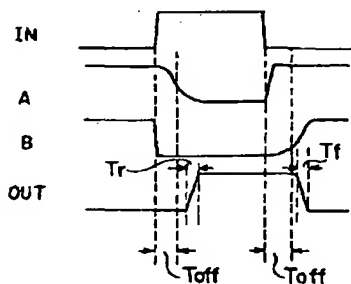
【図2】図1の回路動作を示す図1中各部の波形図。

【図3】従来の定電流出力バッファ回路の構成を示す回路図。

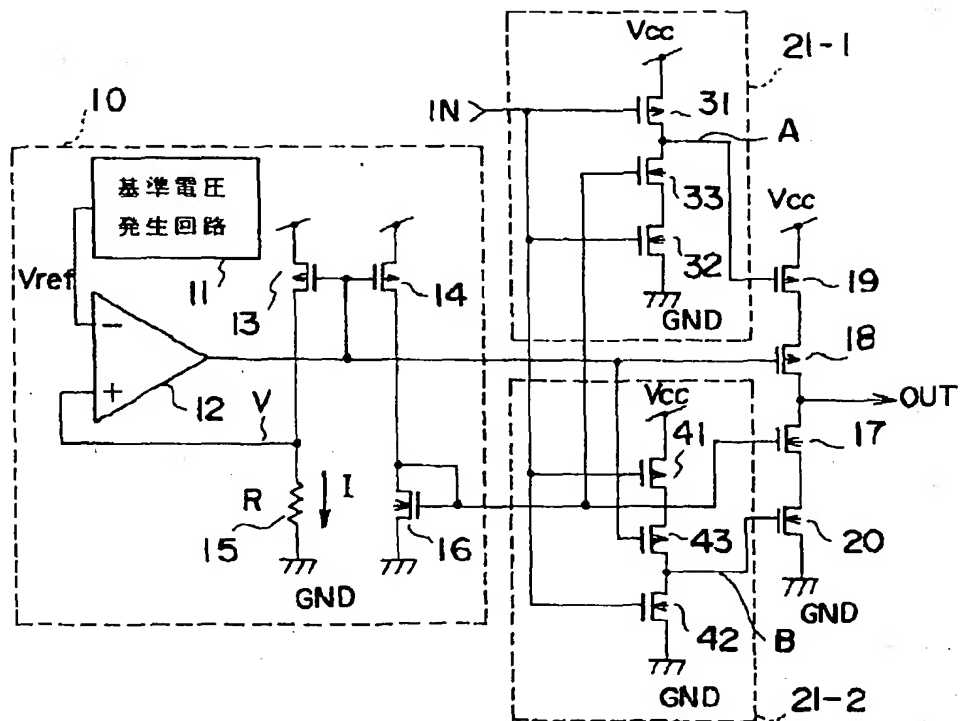
【符号の説明】

10…定電流発生回路、11…基準電圧発生回路、12…オペアンプ、13, 14, 18, 19, 31, 41, 43…PチャネルMOS FET、15…抵抗、16, 17, 20, 32, 33, 42…NチャネルMOS FET、21-1, 22-2…インバータ。

【図2】



【図 1】



【図 3】

